

LOONGSON

LS8T41505 时钟芯片

数据手册

V1.1

2023 年 11 月

龙芯中科（南京）技术有限公司



版权声明

本档版权归龙芯中科（南京）技术有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科（南京）技术有限公司

地址：南京市江北新区星火路 19 号 11 栋

电话(Tel): 025-58600707

版本信息

版本信息	文档名	LS8T41505 时钟芯片数据手册
	版本号	V1.1
	创建人	芯片研发二部
更新历史		
序号	版本号	更新内容
1	V1.0	内部试用版
2	V1.03	初版发布
3	V1.04	删除了第二章输出频率路数； 修订了第三章表 1 管脚说明。
4	V1.1	第二章工作温度变更为-40°C~+105°C； 第三章表 1 管脚说明中 VDDO0 修订为支持 1.8V 或 3.3V 供电，XIN 输入更改为支持晶振（1.8V）； 第五章增加表 2 中 θ_{JC} 为 42°C/W，表 3VDDO0 推荐电压值新增 1.8V； 第六章表 4 中锁定时间新增从使能上电到 PLL 锁定时间； 第八章表 5 增加对 OUT0B 同相位的描述； 第十一章更新订购信息表。

技术支持

可通过邮箱或问题反馈网站向我司提交芯片产品使用的问题，并获取技术支持。

售后服务邮箱：service@loongson.cn

目 录

1. 概述.....	1
2. 产品特性.....	1
3. 引出端排列图.....	1
4. 典型应用.....	4
5. 最大额定值与推荐工作条件.....	5
6. 电气特性.....	6
7. 原理框图.....	7
8. 功能描述.....	8
9. 封装形式图、封装尺寸.....	10
10. 产品标识.....	10
11. 订购信息.....	11
12. 使用操作规程及注意事项.....	11
13. 运输与储存.....	12
14. 开箱与检查.....	12
附件 A 焊接温度.....	13

1. 概述

LS8T41505 时钟芯片支持 25MHz 时钟晶体输入接口，可灵活配置反馈分频比，差分输出兼容 LVDS、LVCMOS 和 LPHCSL 不同输出模式的时钟生成器，能够产生相对于参考输入时钟频率不同倍率的时钟。输出频率模式可选配，其中 LVCMOS 最大可支持传输 100MHz 的时钟信号，LVDS 最大可支持传输 200MHz 的时钟信号，LPHCSL 最大可支持传输 100MHz 的时钟信号。

2. 产品特性

- 支持输入电压为 3.3V、1.8V；
- 兼容 LVCMOS，LPHCSL 和 LVDS 标准模式的输出；
- 支持输出频率模式选配：
 - OUT0: 25MHz/100MHz LVCMOS；
 - OUT1: 33.33MHz LVCMOS/100MHz LP-HCSL/25MHz LP-HCSL；
 - OUT2: 100MHz LVCMOS/100MHz LP-HCSL/200MHz LVDS/156.25MHz LP-HCSL；
 - OUT3, 5-11: 100MHz LP-HCSL；
 - OUT4: 100MHz/200MHz LVDS/100MHz LP-HCSL；
- 25MHz 晶体作为输入参考；
- ESD HBM 1000V；
- 工作温度-40°C~+105°C。

3. 引出端排列图

图 1 为 LS8T41505 时钟芯片管脚排列图，表 1 为 LS8T41505 时钟芯片的管脚说明。

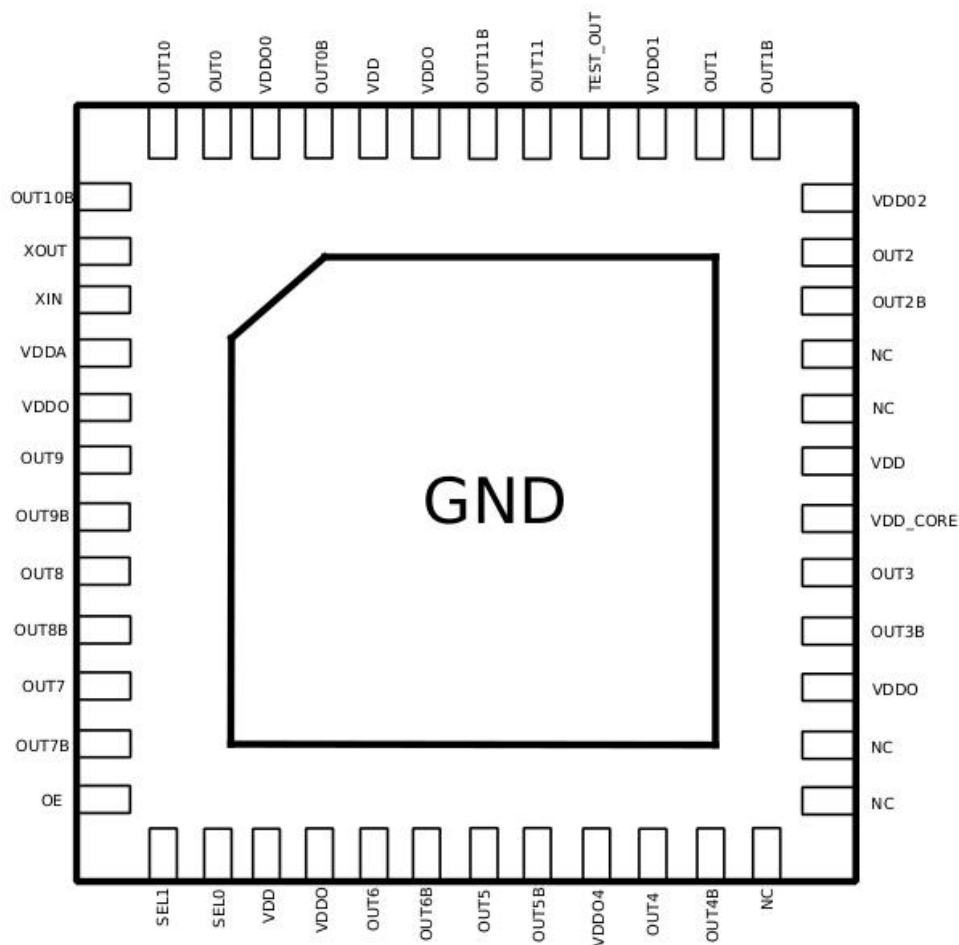


图 1 管脚排列图

表 1 管脚说明

引脚名	信号名	输入输出	功能
1	OUT10B	Output	Output Clock10 的反相时钟，输出 100MHz LP-HCSL 信号
2	XOUT	Input	晶体振荡器接口输出
3	XIN/REF	Input	25MHz 晶体振荡器，或单端 25MHz 基准时钟、晶振接口输入（1.8V）
4	VDDA	Power	模拟功能电源引脚，1.80V 供电
5	VDDO	Power	OUT3，OUT5~11/OUT3B，OUT5B~11B 的电源引脚，1.80V 供电
6	OUT9	Output	Output Clock9，输出 100MHz LP-HCSL 信号
7	OUT9B	Output	Output Clock9 的反相时钟，输出 100MHz LP-HCSL 信号
8	OUT8	Output	Output Clock8，输出 100MHz LP-HCSL 信号
9	OUT8B	Output	Output Clock8 的反相时钟，输出 100MHz LP-HCSL 信号
10	OUT7	Output	Output Clock7，输出 100MHz LP-HCSL 信号
11	OUT7B	Output	Output Clock7 的反相时钟，输出 100MHz LP-HCSL 信号
12	OE	Input	所有输出使能，低电平有效
13	SEL1	Input	配置选择引脚，进行输出频率模式选配，详见表 5
14	SEL0	Input	配置选择引脚，进行输出频率模式选配，详见表 5
15	VDD	Power	1.80V 供电
16	VDDO	Power	OUT3，OUT5~11/OUT3B，OUT5B~11B 的电源引脚，1.80V 供电

引脚名	信号名	输入输出	功能
17	OUT6	Output	Output Clock6, 输出 100MHz LP-HCSL 信号
18	OUT6B	Output	Output Clock6 的反相时钟, 输出 100MHz LP-HCSL 信号
19	OUT5	Output	Output Clock5, 输出 100MHz LP-HCSL 信号
20	OUT5B	Output	Output Clock5 的反相时钟, 输出 100MHz LP-HCSL 信号
21	VDDO4	Power	OUT4 的电源, 3.30V 供电
22	OUT4	Output	Output Clock4, 输出 100MHz LP-HCSL 或 100MHz/200MHz LVDS 信号
23	OUT4B	Output	Output Clock4 的反相时钟, 输出 100MHz LP-HCSL 或 100MHz/200MHz LVDS 信号
24	NC	Input	空脚, 悬空处置
25	NC	Input	空脚, 悬空处置
26	NC	Input	空脚, 悬空处置
27	VDDO	Power	OUT3, OUT5~11/OUT3B, OUT5B~11B 的电源引脚, 1.80V 供电
28	OUT3B	Output	Output Clock3 的反相时钟, 输出 100MHz LP-HCSL 信号
29	OUT3	Output	Output Clock3, 输出 100MHz LP-HCSL 信号
30	VDD_Core	Power	模拟电源, VCO 单独供电, 1.80V 供电
31	VDD	Power	1.80V 供电
32	NC	Input	空脚, 悬空处置
33	NC	Input	空脚, 悬空处置
34	OUT2B	Output	Output Clock2 的反相时钟, 输出 100MHz LVCMOS 或 100MHz LP-HCSL 或 200MHz LVDS 信号或 156.25MHz LP-HCSL 信号
35	OUT2	Output	Output Clock2, 输出 100MHz LVCMOS 或 100MHz LP-HCSL 或 200MHz LVDS 信号或 156.25MHz LP-HCSL 信号
36	VDDO2	Power	OUT2/OUT2B 的电源, 3.30V 供电
37	OUT1B	Output	Output Clock1 的反相时钟, 输出 33.33MHz LVCMOS 时为同相位, 输出 100MHz LP-HCSL 或 25MHz LP-HCSL 差分信号
38	OUT1	Output	Output Clock1, 输出 33.33MHz LVCMOS 或 100MHz LP-HCSL 或 25MHz LP-HCSL 信号
39	VDDO1	Power	OUT1/OUT1B 的电源, 3.30V 供电
40	TEST_OUT	Output	模拟信号观察口
41	OUT11	Output	Output Clock11, 输出 100MHz LP-HCSL 信号
42	OUT11B	Output	Output Clock11 的反相时钟, 输出 100MHz LP-HCSL 信号
43	VDDO	Power	OUT3, OUT5~11/OUT3B, OUT5B~11B 的电源引脚, 1.80V 供电
44	VDD	Power	1.80V 供电
45	OUT0B	Output	Output Clock0B, 输出 25MHz/100MHz LVCMOS 同相位信号
46	VDDO0	Power	OUT0/OUT0B 的电源, 支持 1.80V 或 3.30V 供电
47	OUT0	Output	Output Clock0, 输出 25MHz/100MHz LVCMOS 信号
48	OUT10	Output	Output Clock10, 输出 100MHz LP-HCSL 信号
ePAD	GND	GND	地

4. 典型应用

LS8T41505 时钟芯片满足龙芯 CPU 的时钟应用需求。典型应用如下图：

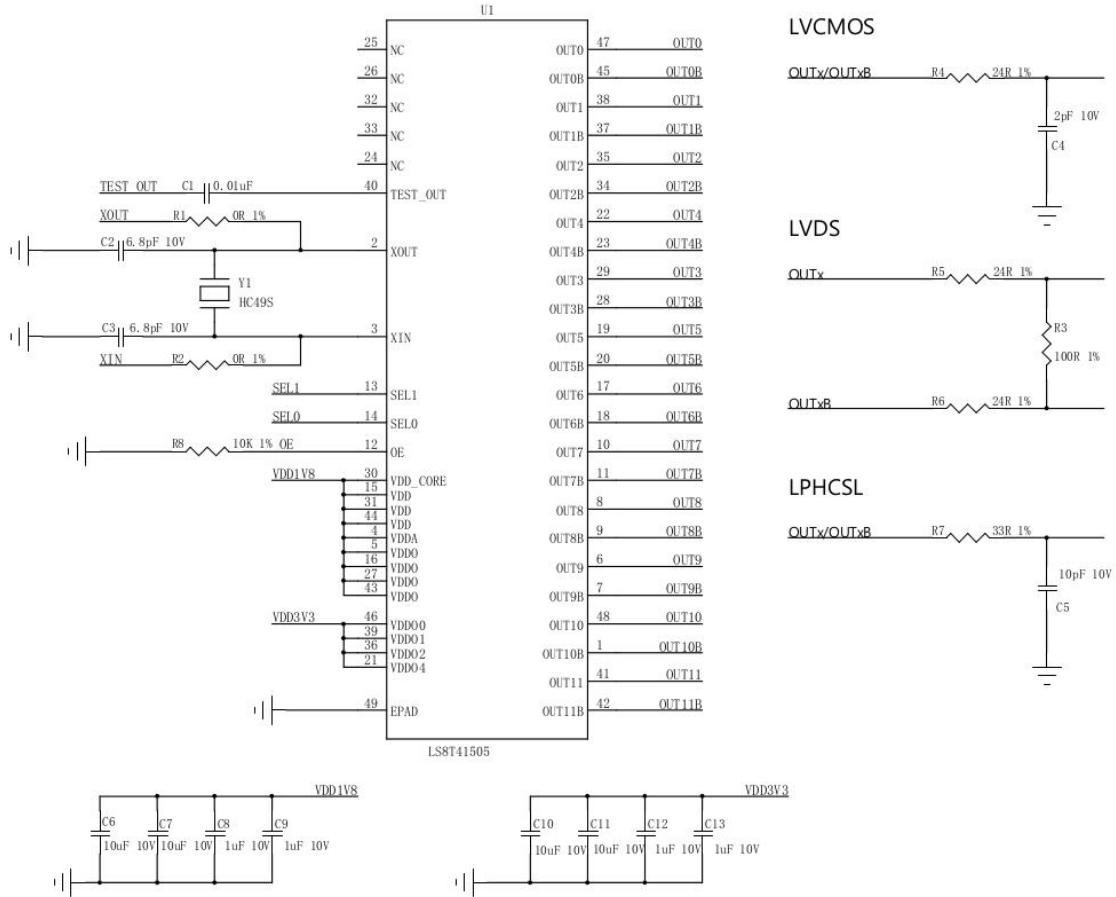


图 2 典型应用电路

注意事项：

1) 41505 引脚匹配电阻的选择：

引脚号	引脚功能	引脚类型	引脚阻抗/欧姆			匹配电阻/欧姆			备注
			最小	标准	最大	最小	标准	最大	
45	OUT0B	LVC MOS	30		45	5		20	
47	OUT0	LVC MOS	20		40	10		30	
37,38	OUT1/ OUT1B	LVC MOS	20		30	20	24	30	
		LP-HCSL	13		19	31	33	37	
34,35	OUT2/ OUT2B	LVC MOS	20		30	20	24	30	
		LP-HCSL	13		19	31	33	37	
		LVDS	70		90	10		30	
28,29	OUT3/ OUT3B	LP-HCSL	13		19	31	33	37	
22,23	OUT4/	LP-HCSL	13		19	31	33	37	

		LVDS	70		90	10		30	
19,20,17,18,10, 11,8,9,6,7,1,48, 41,42	OUT5-OUT 11/OUT5B- OUT11B	LP-HCSL	13		19	31	33	37	

2) 匹配电阻尽可能靠近芯片引脚，减少匹配电阻到芯片引脚这段线上阻抗变化带来的影响；

3) 时钟信号线走线需要满足相应协议的要求，同时控制其特征阻抗，减少这段线上阻抗变化带来的影响；

4) OUT1 和 OUT1B, OUT2 和 OUT2B, OUT3 和 OUT3B, OUT4 和 OUT4B, OUT5 和 OUT5B, OUT6 和 OUT6B, OUT7 和 OUT7B, OUT8 和 OUT8B, OUT9 和 OUT9B, OUT10 和 OUT10B, OUT11 和 OUT11B 为差分信号时，需要等长；

5) 建议 epad 底部过孔矩阵尽可能多以提高 PCB 板散热能力。

5. 最大额定值与推荐工作条件

绝对最大额定值如下：

表 2 绝对最大额定值

数字电源电压 VDD	0V~2.7V
数字内核电压 VDD_CORE	0V~2.7V
模拟电源电压 VDDA	0V~2.7V
输出驱动供电电压 VDDO	0V~2.7V
输出驱动供电电压 VDDO0	0V~5.0V
输出驱动供电电压 VDDO1	0V~5.0V
输出驱动供电电压 VDDO2	0V~5.0V
输出驱动供电电压 VDDO4	0V~5.0V
贮存温度	-65°C~150°C
最大工作电流	200mA
θ_{Jc}	42°C/W

推荐工作条件如下：

表 3 推荐工作条件

数字电源电压 VDD	1.8V±5%
数字内核电压 VDD_CORE	1.8V±5%
模拟电源电压 VDDA	1.8V±5%
输出驱动供电电压 VDDO	1.8V±5%
输出驱动供电电压 VDDO0	1.8V±5%或 3.3V±5%
输出驱动供电电压 VDDO1	3.3V±5%
输出驱动供电电压 VDDO2	3.3V±5%

输出驱动供电电压 VDDO4	3.3V±5%
输入时钟	25MHz~25.025MHz
工作温度	-40°C~+105°C

6. 电气特性

除另有规定外，电特性应按表 4 的规定，并适用于全温度范围。

表 4 电特性

特性	符号	条件 VDDO0=VDDO1=VDDO2=VDDO4 =3.3V×(1±10%)， VDDO=VDDA=VDD_CORE=VDD= 1.8V×(1±10%)，-40°C≤T _A ≤105°C	极限值			单位
			最小	典型	最大	
输入低电平	V _{IL}	适用于 OE	-0.3		0.3	V
输入高电平	V _{IH}	适用于 SEL0、SEL1	1.5	1.8	2.1	V
电源电流	IVDD	VDDO0=VDDO1=VDDO2=VDDO4 =3.63V, VDDO=VDDA=VDD_CORE =VDD=1.98V		7.5		mA
	IVDDA			1.5		mA
	IVDD_CORE			1.5		mA
	IVDDO			80		mA
	IVDDO0			4.5		mA
	IVDDO1			23		mA
	IVDDO2			65		mA
	IVDDO4			20		mA
上电时间	t _{PU}		0.05		5	ms
晶体特性						
振荡模式			Fundamental			
频率	REF			25.00	25.025	MHz
等效串联电阻	ESR			10	100	Ω
并联电容	C ₀			3.1	7	pF
晶体负载电容	C _L		6	6.8	10	pF
最大晶体驱动能力					100	μW
输出负载电容	C _{LOAD_OUT}	3.3V LVCMOS			15	pF
LVCMOS 模式						
输出高电平	V _{OH}	VDDO0=VDDO1=VDDO2=VDDO4 =3.3V, VDDO=VDDA=VDD_CORE= VDD=1.8V	2.4		3.3	V
输出低电平	V _{OL}				0.4	V
输入高电平	V _{IH}		1.2	1.5	1.8	V
输入低电平	V _{IL}		0		0.2	V
LVDS 模式						
LVDS 峰峰值	V _{OT}	VDDO0=VDDO1=VDDO2=VDDO4	240		460	mV

LVDS 峰峰值变化	ΔV_{OD}				50	mV
LVDS 共模电平	V_{OS}		1.12	1.3	1.40	V
LVDS 共模电平变化	ΔV_{OS}				50	mV
LVDS 共模电流	I_{OS}			12	24	mA
LVDS 共模电平变化	I_{OSD}			6.8	24	uA
LP-HCSL 模式						
LPHCSL 高电平	V_{OH}	VDDO0=VDDO1=VDDO2=VDDO4=3.3V,VDDO=VDDA=VDD_CORE=VDD=1.8V	0.66		0.85	V
LPHCSL 低电平	V_{OL}		-0.15		0.15	V
上升/下降沿时间	t_r/t_f	VDDO0=VDDO1=VDDO2=VDDO4=3.3V,VDDO=VDDA=VDD_CORE=VDD=1.8V	1		3	ns
压摆率	t_{RF}		0.22		0.85	V/ns
电气特性						
输入频率	f_{IN}			25	25.025	MHz
输出频率	f_{OUT}		25		200	MHz
VCO 频率	f_{VCO}	VCO 工作频率范围		2000/ 2500		MHz
鉴相器频率	f_{PDF}	鉴相器工作频率		25		MHz
环路带宽	f_{BW}	输入频率为 25MHz	0.05		0.3	MHz
输入占空比	t_2		45		55	%
输出占空比	t_3		40		60	%
压摆率	t_4	3.3V LVCMOS 输出时间和上升时间 (负载=5pF)	1.2		2.7	V/ns
上升时间/下降时间	t_5	LVDS	0.5	1	4	ns
时钟 jitter	t_6	RMS 相位 jitter, 参考频率时钟 (OUT0), 25MHz LVCMOS 输出	0.5	1	3	ps
		RMS 相位 jitter, 差分输出, 25MHz LP-HCSL 输出	1	2	3	ps
锁定时间	t_7	从电源上电到 PLL 锁定时间		10	30	ms
		从使能上电到 PLL 锁定时间		2	4	ms
输出驱动能力		PCB 走线长度 (LVCMOS)			30	cm
		PCB 走线长度 (LVDS)			30	cm
		PCB 走线长度 (LP-HCSL)			30	cm

7. 原理框图

器件功能框图见图 3。

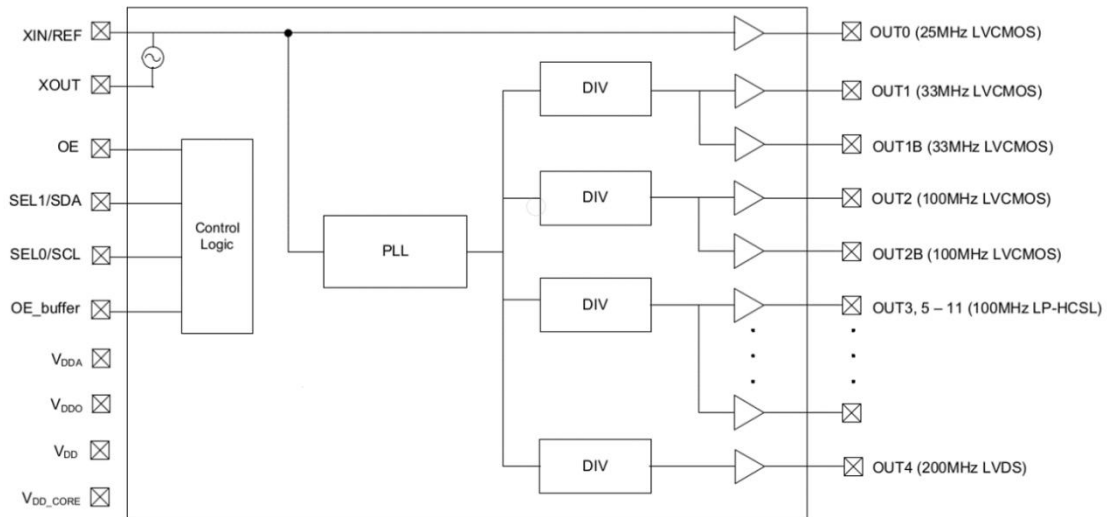


图 3 功能框图

8. 功能描述

本器件是一款时基电路，支持 25MHz 时钟晶体输入接口，可灵活配置反馈分频比，差分输出兼容 LVDS、LVCMOS 和 LPHCSL 不同输出模式的时钟生成器，能够产生相对于参考输入时钟频率不同倍率的时钟。输出频率模式可选配，其中 LVCMOS 可支持传输 100MHz 的时钟信号，LVDS 可支持传输 200MHz 的时钟信号，LPHCSL 可支持传输 100MHz 的时钟信号。可通过 SEL1、SEL0 管脚进行输出频率模式选配，SEL1 和 SEL0 默认为 1。详见下表：

表 5 输出频率配置说明

SEL1/SEL0	11	01	10	00
OUT0	25MHz LVCMOS	100MHz LVCMOS	100MHz LVCMOS	100MHz LVCMOS
OUT0B	25MHz LVCMOS 同相位	100MHz LVCMOS 同相位	100MHz LVCMOS 同相位	100MHz LVCMOS 同相位
OUT1/OUT1B	33.33MHz LVCMOS 同相位	100MHz LP-HCSL	25MHz LP-HCSL	25MHz LP-HCSL
OUT2/OUT2B	100MHz LVCMOS 180 度相位		200MHz LVDS	156.25MHz LP-HCSL
OUT4/OUT4B	200MHz LVDS		100MHz LVDS	100MHz LVDS
OUT3,OUT5~11/ OUT3B,OUT5~11B	100MHz LP-HCSL		100MHz LP-HCSL	100MHz LP-HCSL

PLL 特性：

PLL 环路滤波器带宽范围取决于输入的参考频率，可以设置的范围如下表：

输入参考频率 (MHz)	环路带宽最小值 (KHz)	环路带宽最大值 (KHz)
25	50	400

晶体输入 (XIN/REF):

所使用的晶体应该是基模石英晶体，不能采用谐波晶体。晶体制造商将晶体校准到具有特定负载电容值的标称频率。当振荡器负载电容与晶体负载电容匹配时，振荡频率将是准确的。当振荡器负载电容低于晶体负载电容时，振荡频率将高于标称值，反之亦然，需要确保振荡器负载电容与晶体负载电容匹配。设置振荡器负载电容，有两种调谐方式，一个在 XIN，一个在 XOUT。他们可独立调整，但通常两个电容器使用相同的值。也可支持单端 25MHz 基准时钟或晶振输入（1.8V）。

OE 端口和功能:

管脚号	管脚名称	描述	功能
12	OE	全部输出使能，需下拉处置	低电平有效

输出驱动器:

OUT1, OUT2, OUT4 时钟输出可以兼容 LVCMOS、LP-HCSL 和 LVDS 三种模式的输出驱动器；OUT3, 5-11 时钟输出是 LP-HCSL 输出模式。每个输出驱动器都采用同一个使能控制端 OE，当使能端口信号无效时，输出为高阻态。

上电顺序:

上电顺序要求先上电 1.8V，再上电 3.3V，1.8V 与 3.3V 上电间隔时间至少 1ms，所有电源端口上电时必须为线性的、单调的。VDDA 是给振荡器提供电源，需和其他 1.8V 的电源隔离。

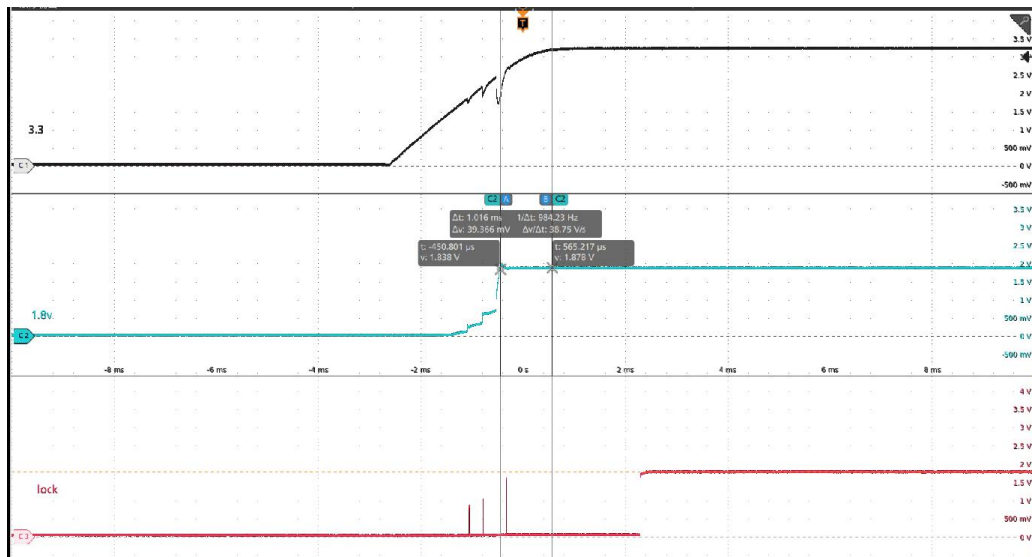
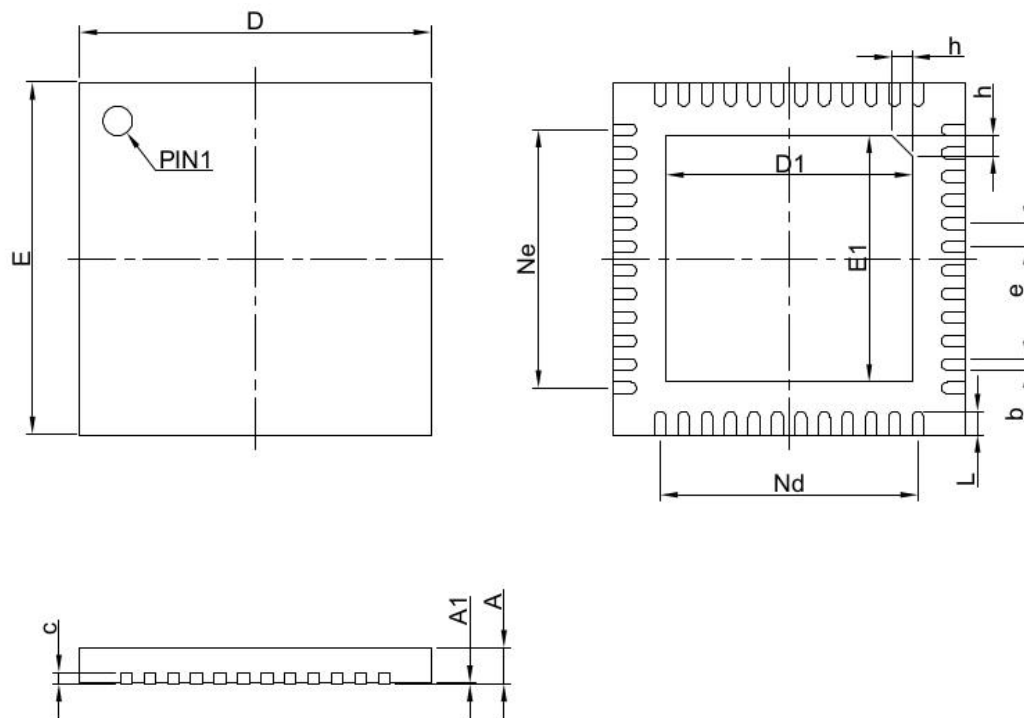


图 4 上电时序图

9. 封装形式图、封装尺寸

器件尺寸为 6.00 mm×6.00 mm×0.60 mmMAX，器件封装形式为塑封 QFN48，芯片下方有散热焊盘，外形尺寸见图 5。主要材料包括金属框架、键合丝、粘片胶和塑封料。



单位为毫米

尺寸	MIN	NOM	MAX	尺寸	MIN	NOM	MAX
A	0.50	0.55	0.60	b	0.15	0.20	0.25
A1	—	0.02	0.05	c	0.12	0.15	0.18
D	5.90	6.00	6.10	h	0.30	0.35	0.40
D1	4.10	4.20	4.30	e	-	0.40	-
E	5.90	6.00	6.10	Ne	-	4.40	-
E1	4.10	4.20	4.30	Nd	-	4.40	-
L	0.35	0.40	0.45				

图 5 外形尺寸图

10. 产品标识

器件为激光打标，标识如图 6 所示。

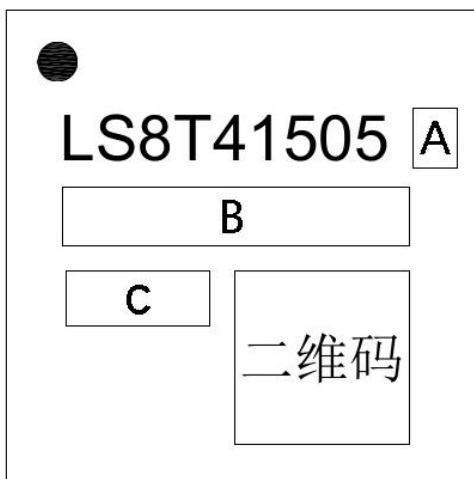


图 6 器件标志图

每一器件应标志下列内容：

- a) 定位点：●；
- b) 第一行：器件型号“LS8T41505-A”；A 为器件等级：空白为商业级，-i、-H 为工业级；
- c) 第二行： B 为识别号，前 4 位年周号，后 5 位为系统生成识别号；
- d) 第三行： C 为器件序列号，每批每颗不同，从 00001 开始；二维码与第二行和第三行内容一致。

11. 订购信息

表 6 LS8T41505 订购信息

芯片型号	封装	工作温度（壳温）
LS8T41505	塑封	-40°C~+85°C
LS8T41505-i	塑封	-40°C~+85°C
LS8T41505-H	塑封	-40°C~+105°C

12. 使用操作规程及注意事项

器件必须采取防静电措施进行操作。取用芯片时应佩戴防静电手套，防止人体电荷对器件的静电冲击，损坏器件。将器件取出时，应注意施力方向以确保芯片管脚均匀受力。不要因为用力过猛，损坏芯片管脚，导致无法使用。

推荐下列操作措施：

- a) 器件应在防静电的工作台上操作，或带指套操作；
- b) 试验设备和器具应接地；

- c) 不能触摸器件引线；
- d) 器件应存放在 ESD 防护托盘和防静电袋中；
- e) 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物；
- f) 相对湿度尽可能保持在 $50\% \pm 30\%$ 以上。

13. 运输与储存

器件存储环境温度是： $-65^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 。

使用指定的防静电包装盒进行产品的包装和运输。在运输过程中，确保芯片不要与外物发生碰撞。

14. 开箱与检查

开箱使用芯片时，请注意观察芯片管壳上的产品标识。确定产品标识清晰，无污迹，无擦痕。同时，注意检查芯片管壳及引脚。确定管壳无损坏，无伤痕，管脚整齐，无缺失，无变形。

附件 A 焊接温度

芯片的回流焊接温度：260°C。手动焊接时使用 300°C~360°C热风枪进行焊接。

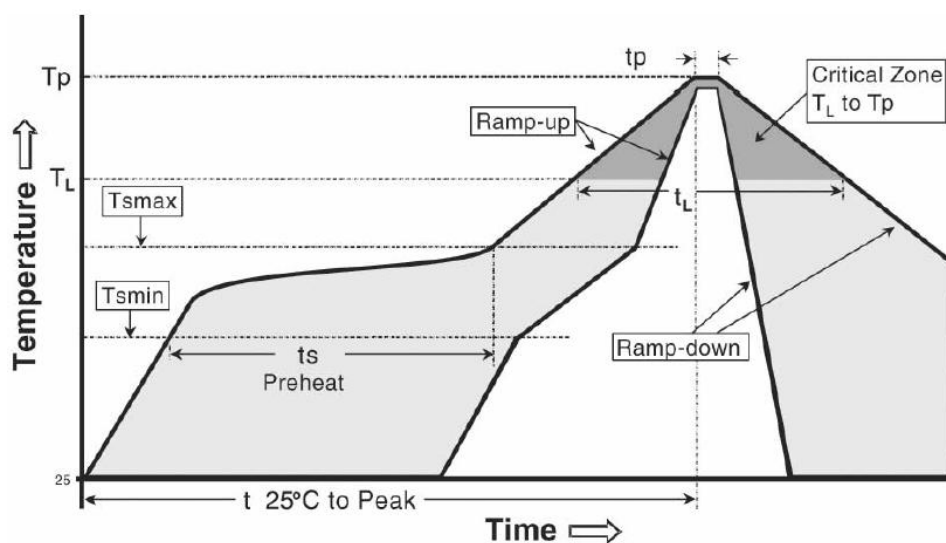
附表 A.1 无铅工艺的封装回流最大温度表

Package Thickness	Volume mm ³ < 350	Volume mm ³ 350 - 2000	Volume mm ³ > 2000
< 1.6 mm	260 °C *	260 °C *	260 °C *
1.6 mm - 2.5 mm	260 °C *	250 °C *	245 °C *
> 2.5 mm	250 °C *	245 °C *	245 °C *

* Tolerance: The device manufacturer/supplier shall assure process compatibility up to and including the stated classification temperature at the rated MSL level

附表 A.2 回流焊接温度分类表

Profile Feature	Pb-Free Assembly	
Average ramp-up rate (T _{max} to T _p)	3°C/second max.	
Preheat	Temperature Min (T _{min})	150 °C
	Temperature Max (T _{max})	200 °C
	Time (T _{min} to T _{max}) (ts)	60-180 seconds
Time maintained above	Temperature (T _L)	217 °C
	Time (t _L)	60-150 seconds
Peak Temperature (T _p)	245°C	
Time within 5°C of actual Peak Temperature (tp) ²	20-40 seconds	
Ramp-down Rate	6 °C/second max.	
Time 25°C to Peak Temperature	8 minutes max.	



附图 A.1 焊接回流曲线